

1/13

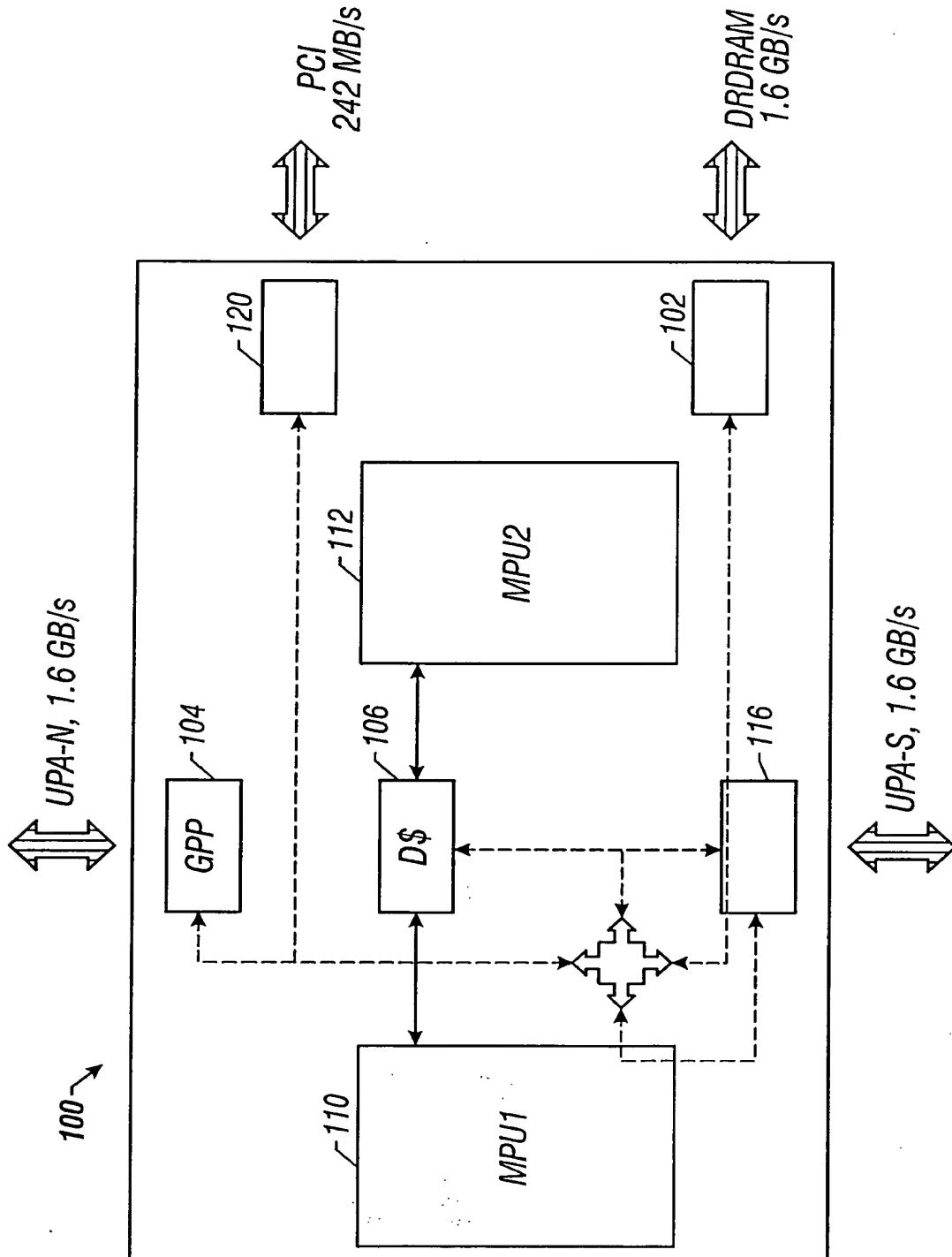


FIG. 1

2/13

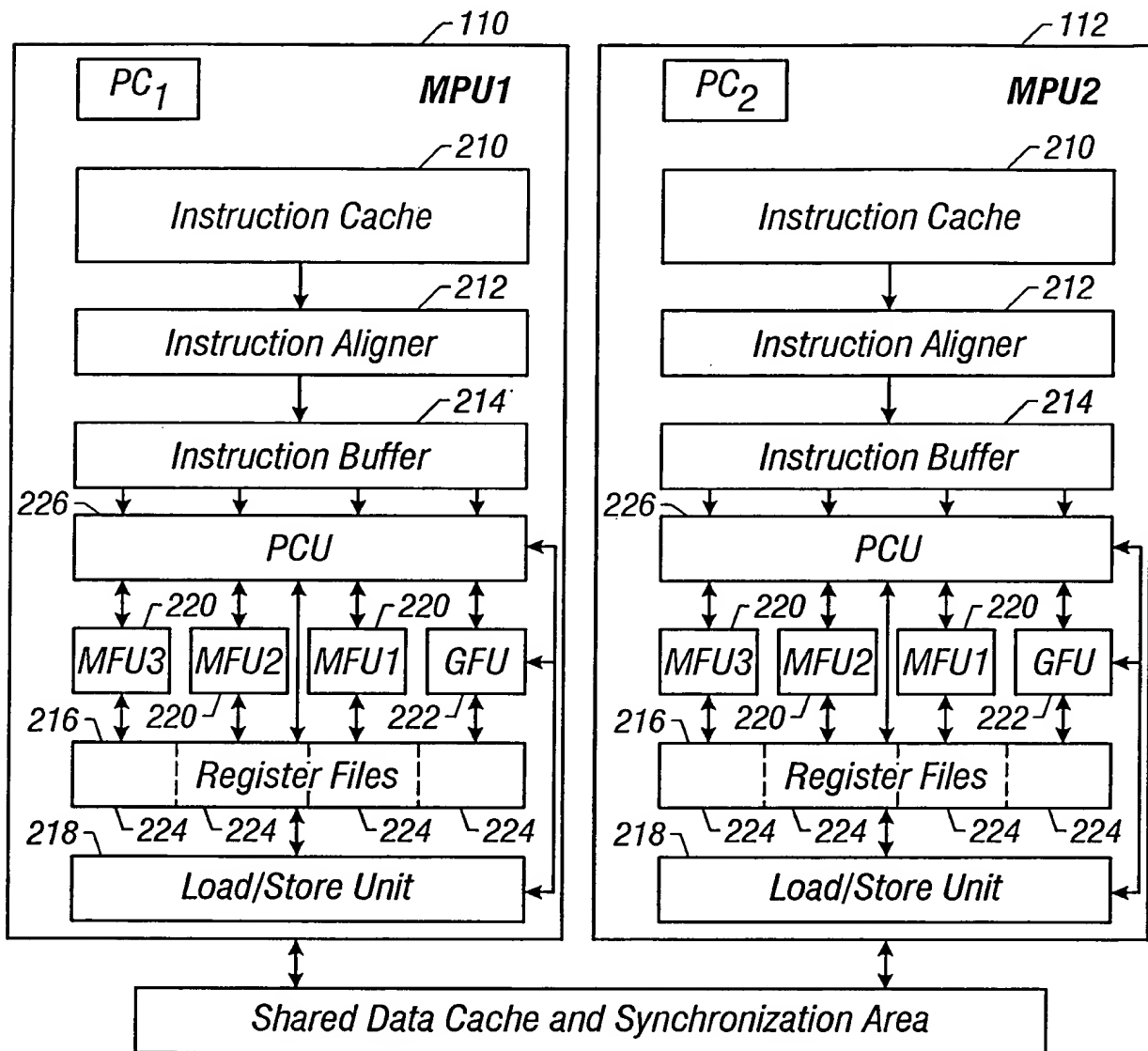


FIG. 2

3/13

216

Broadcast Writes (5)

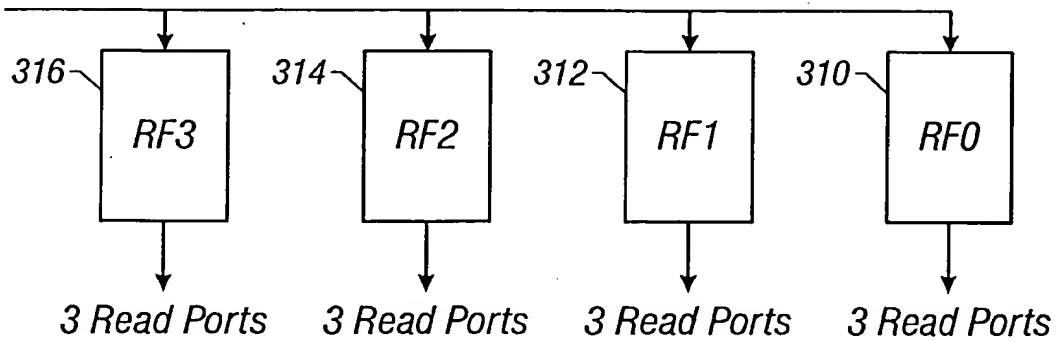


FIG. 3

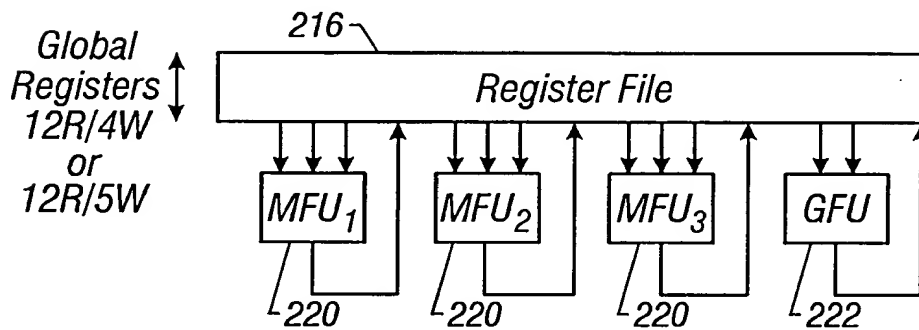


FIG. 4

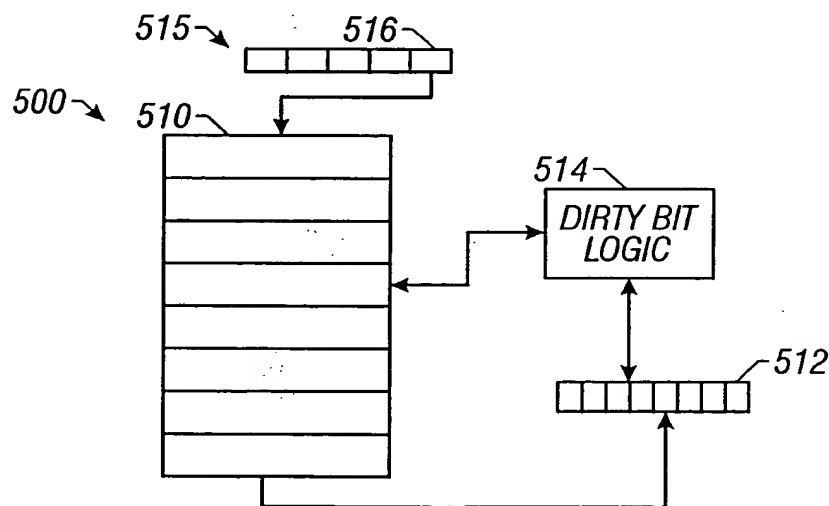


FIG. 5

4/13

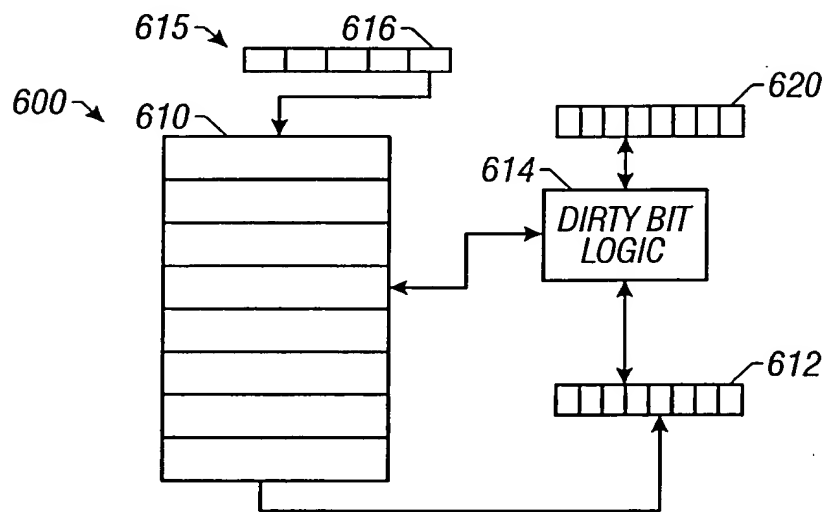


FIG. 6

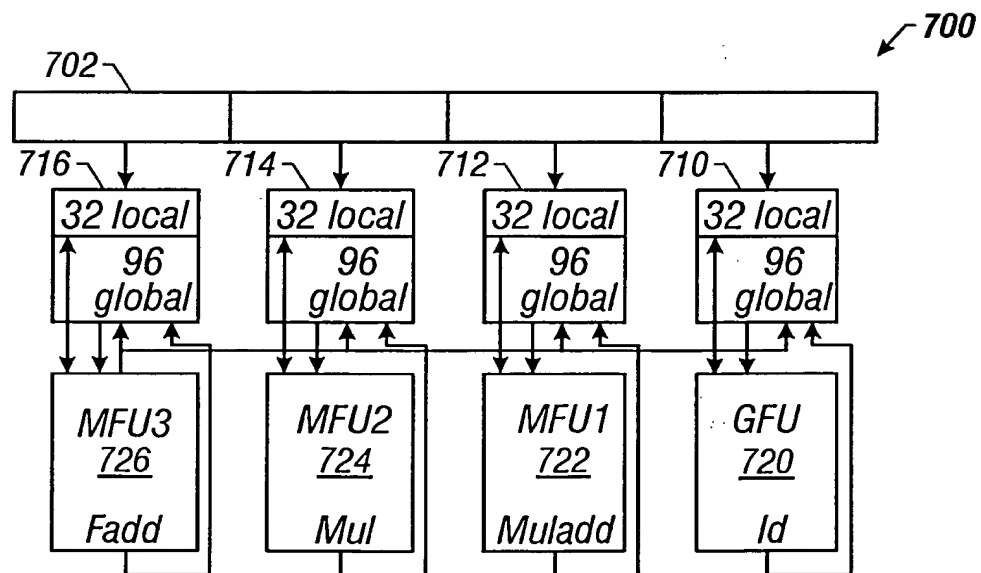


FIG. 7

5/13

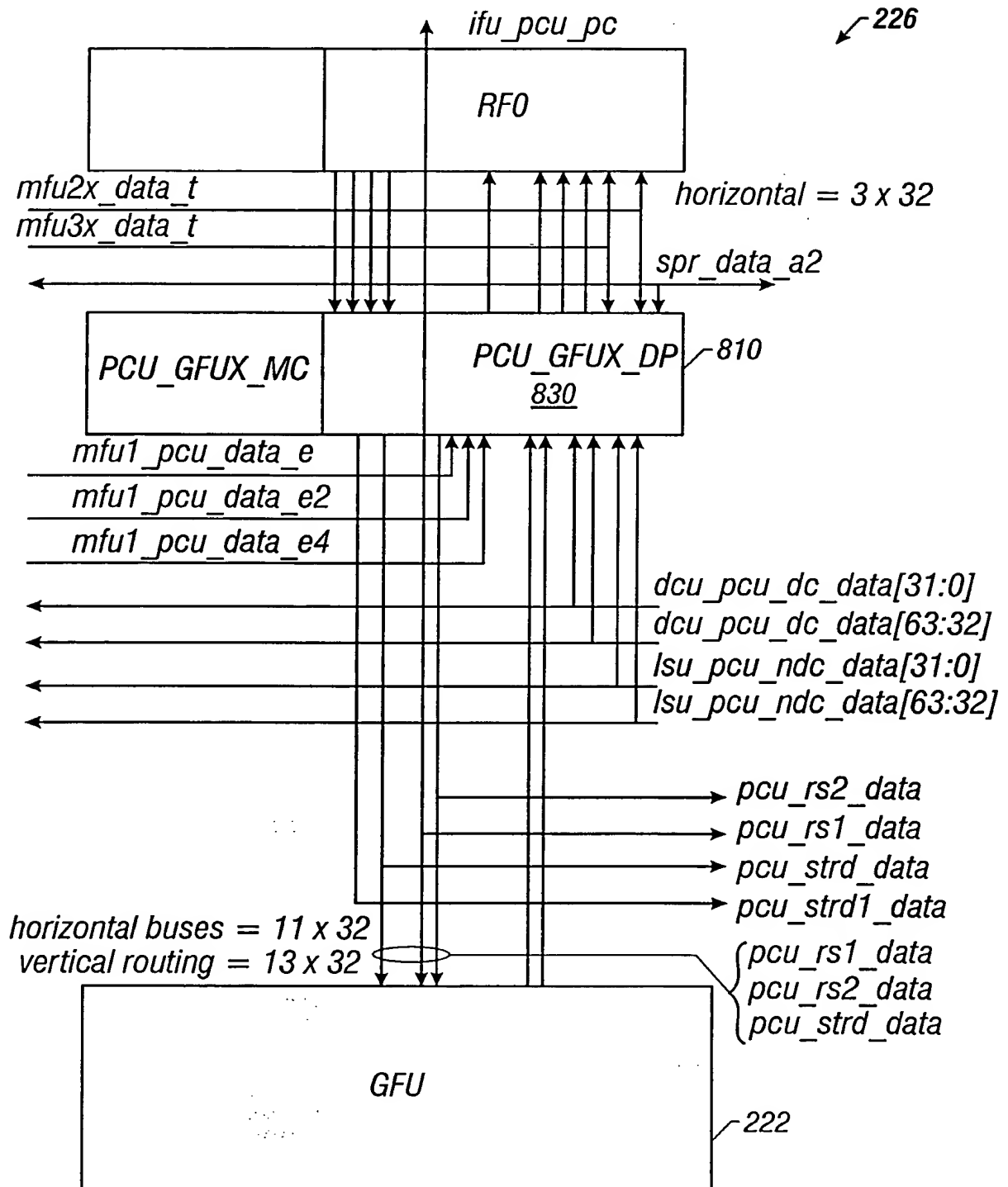


FIG. 8A

6/13

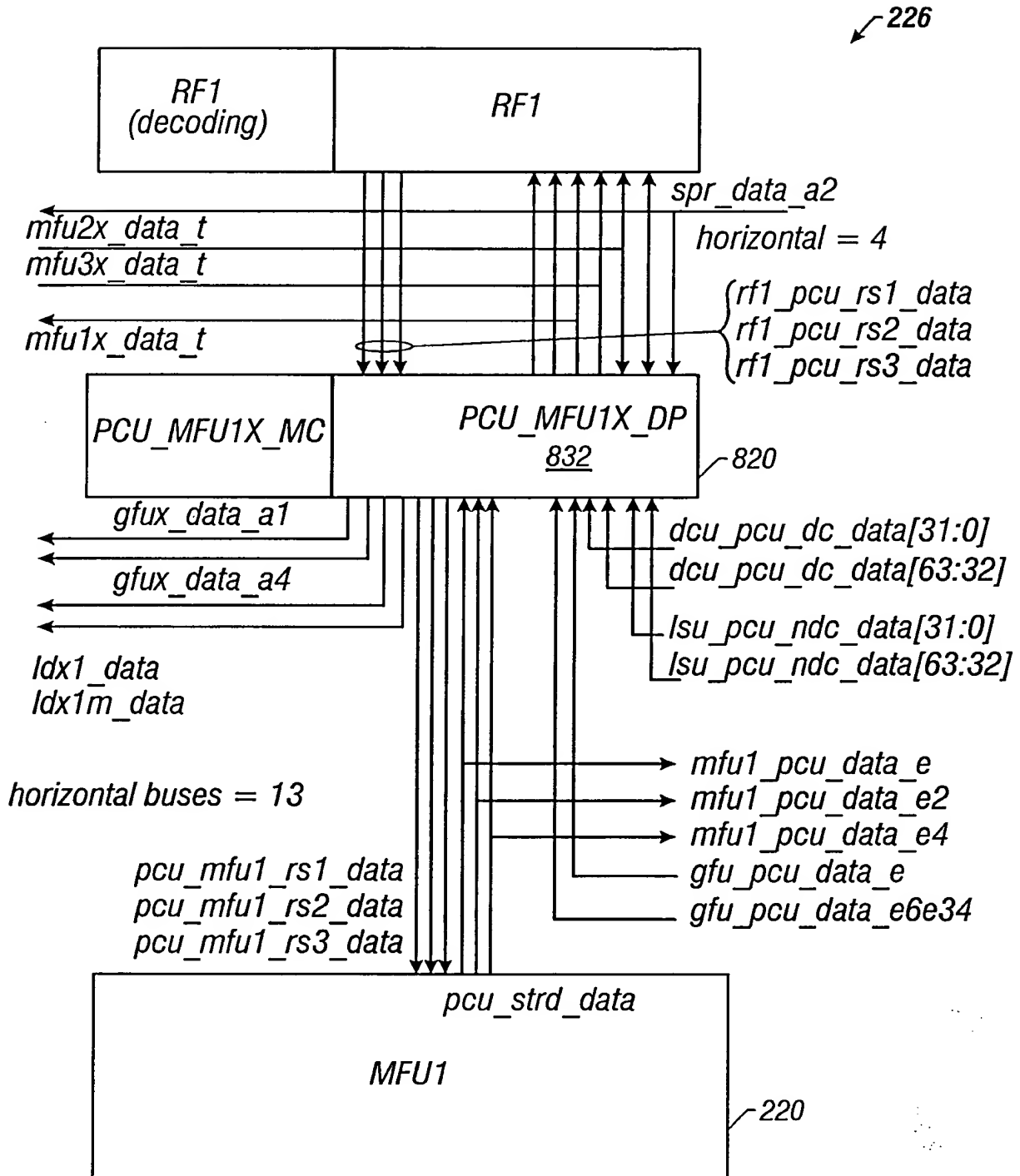


FIG. 8B

7/13

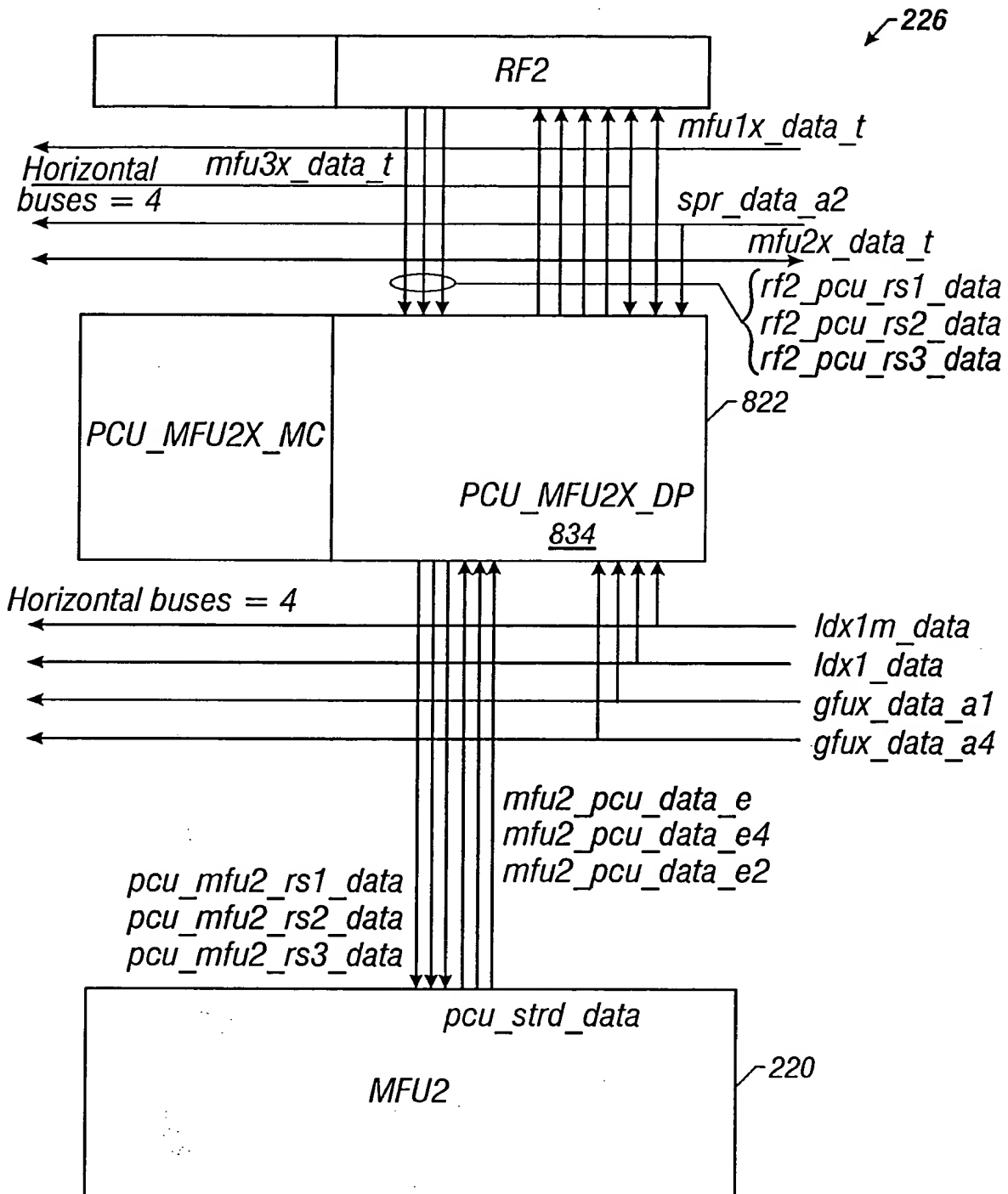


FIG. 8C

8/13

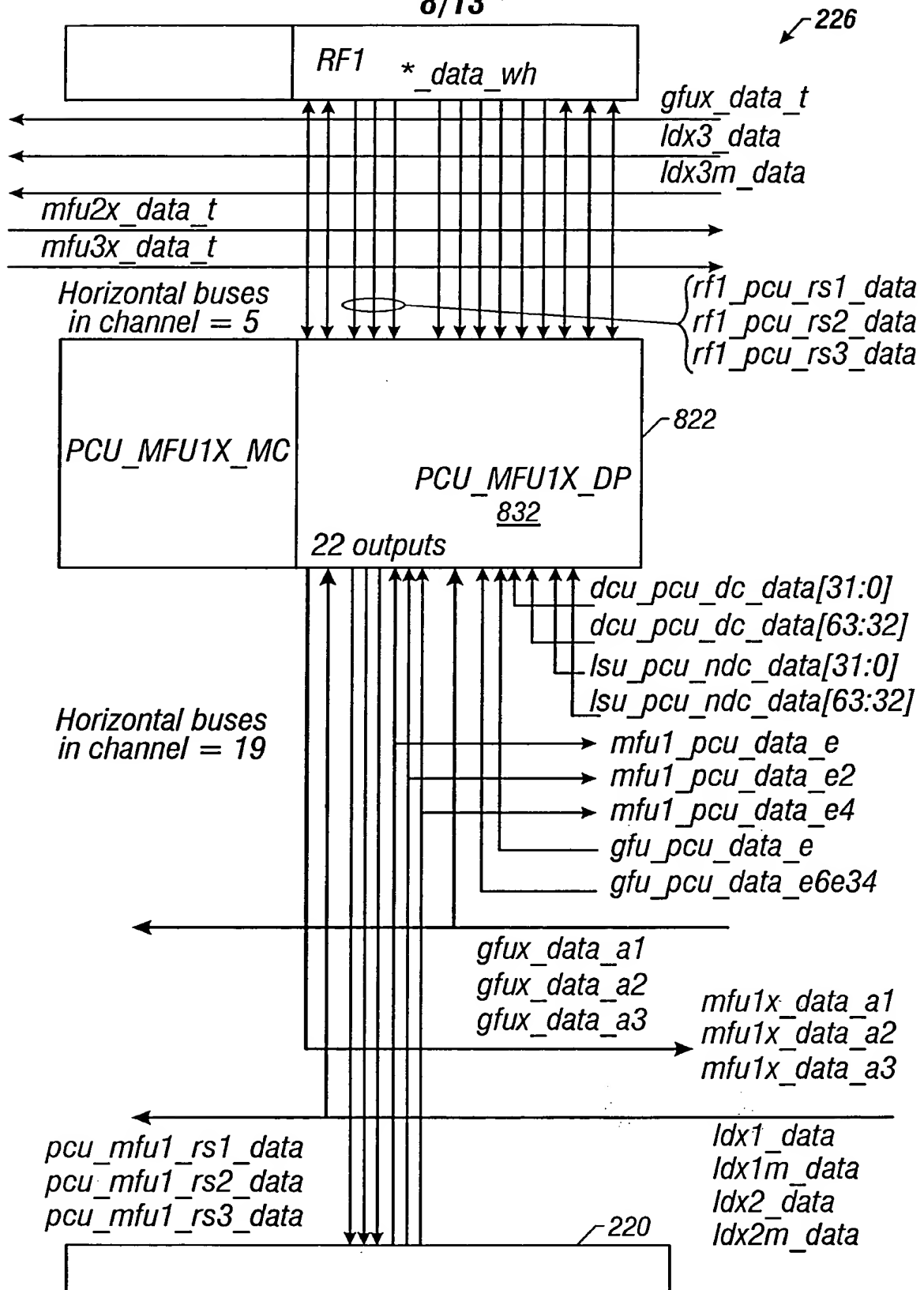


FIG. 8D

9/13

<i>Register name</i>	<i>width</i>	<i>address specifier</i>	<i>user access</i>	<i>supervisor access</i>	<i>thread state</i>
<i>PSR</i>	<i>8</i>	<i>010_0001</i>	<i>no</i>	<i>rd/wr</i>	<i>yes</i>
<i>TPSR1</i>	<i>8</i>	<i>010_0010</i>	<i>no</i>	<i>"</i>	<i>yes</i>
<i>TPSR2</i>	<i>8</i>	<i>010_0011</i>	<i>no</i>	<i>"</i>	<i>yes</i>
<i>PCR</i>	<i>7</i>	<i>010_0000</i>	<i>no</i>	<i>"</i>	<i>no</i>
<i>TL</i>	<i>2</i>	<i>010_0100</i>	<i>no</i>	<i>"</i>	<i>no</i>
<i>TICK</i>	<i>32</i>	<i>010_0101</i>	<i>read only</i>	<i>"</i>	<i>no</i>
<i>TVALUE</i>	<i>32</i>	<i>010_0110</i>	<i>no</i>	<i>"</i>	<i>no</i>
<i>TCNTL</i>	<i>8</i>	<i>010_0111</i>	<i>no</i>	<i>"</i>	<i>no</i>
<i>GX</i>	<i>13</i>	<i>001_0000</i>	<i>no</i>	<i>rd only</i>	<i>yes</i>
<i>INT</i>	<i>7</i>	<i>010_1000</i>	<i>no</i>	<i>rd/wr</i>	<i>yes</i>
<i>FSR</i>	<i>16</i>	<i>001_0001</i>	<i>rd/wr</i>	<i>"</i>	<i>yes</i>
<i>FMT</i>	<i>2</i>	<i>010_1010</i>	<i>rd/wr</i>	<i>rd/wr</i>	<i>yes</i>
<i>DIRTY</i>	<i>6</i>	<i>010_1011</i>	<i>rd/wr</i>	<i>"</i>	<i>yes</i>
<i>INT_OTHER</i>	<i>—</i>	<i>010_1001</i>	<i>no</i>	<i>wr only</i>	<i>yes</i>

FIG. 9

10/13

<i>PCR</i>	<i>PCR</i>	<i>Description</i>	<i>Initial value</i>	<i>After a trap</i>
[0]	POW	power management	0 (off)	N/C not changed
[1]	ICE	icache enable	0	"
[2]	DCE	dcache enable	0	"
[3]	BPTE	branch predict taken enable	0	"
[4]	PE	pipeline enable	0	"
[5]	MSTEP	memory step	0	"
[6]	PID	processor ID	hardwired	hardwired

FIG. 10

<i>Instruction</i> <i>vliw_1</i>	<i>Instruction</i> <i>setir ra, PSR</i>
<i>vliw_2</i>	<i>ld_2 [r1+r2], r3</i>
<i>vliw_3</i>	<i>ld_3</i>
<i>vliw_4</i>	<i>ld_4</i>
<i>vliw_5</i>	<i>ld_5</i>
<i>vliw_6</i>	<i>ld_6</i>

FIG. 11A

11/13

<i>cycle</i>	1	2	3	4	5	6	7	8	9	10	11	12
<i>setir</i>	<i>D</i>	<i>E</i>	<i>A1</i>	<i>A2</i>	<i>A3</i>	<i>T</i>	<i>WB</i>					
<i>ld_2</i>		<i>D</i>	<i>E</i>	<i>A1</i>	<i>A2</i>	<i>A3</i>	<i>T</i>	<i>WB</i>				
<i>ld_6</i>						<i>D</i>	<i>E</i>	<i>E</i>				
<i>ld_7</i>												

1114 1150 1122 1124

FIG. 11B

<i>Instruction</i>	<i>Instruction</i>
<i>vliw_1</i>	<i>setir ra, PCR</i>
<i>vliw_2</i>	<i>inst 2</i>
<i>vliw_3</i>	<i>inst 3</i>
<i>vliw_4</i>	<i>inst 4</i>
<i>vliw_5</i>	<i>inst 5</i>
<i>vliw_6</i>	<i>inst 6</i>
<i>vliw_7</i>	<i>inst 7</i>
<i>vliw_8</i>	<i>inst 8</i>
<i>vliw_9</i>	<i>setir rb, PSR</i>
<i>vliw_10</i>	<i>inst 10</i>
<i>vliw_11</i>	<i>inst 11</i>

FIG. 12A

12/13

1212 1222

<i>cycle</i>	1	2	3	4	5	6	7	8	9	10	11	12	13
<i>setir</i>	<i>T</i>	<i>WB</i>											
<i>inst7</i>		<i>D</i>	<i>D</i>	<i>E</i>	<i>A1</i>	<i>A2</i>	<i>A3</i>	<i>T</i>	<i>WB</i>				
<i>inst8</i>				<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>E</i>	<i>A1</i>	<i>A2</i>
<i>setir</i>											<i>D</i>	<i>D</i>	<i>D</i>
<i>iST</i>		<i>ST</i>		<i>ST</i>	<i>ST</i>	<i>ST</i>	<i>ST</i>	<i>ST</i>	<i>ST</i>		<i>ST</i>	<i>ST</i>	<i>ST</i>

1254

<i>cycle</i>	14	15	16	17	18	19	20	21	22	23	24	25	26
<i>inst8</i>	<i>A3</i>	<i>T</i>	<i>WB</i>										
<i>setir</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>E</i>	<i>A1</i>	<i>A2</i>	<i>A3</i>	<i>T</i>	<i>WB</i>			
<i>inst10</i>					<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>E</i>	<i>A1</i>	<i>A2</i>
<i>inst11</i>											<i>D</i>	<i>E</i>	<i>A1</i>
<i>ST</i>	<i>ST</i>	<i>ST</i>	<i>ST</i>		<i>ST</i>	<i>ST</i>	<i>ST</i>	<i>ST</i>	<i>ST</i>				

FIG. 12B

1300

<i>Instruction</i>	<i>Unit</i>	<i>rd [6:5]</i>
[0]	<i>all</i>	01
[1]	<i>all</i>	10
[2]	<i>gfu</i>	11
[3]	<i>mfu1</i>	11
[4]	<i>mfu2</i>	11
[5]	<i>mfu3</i>	11

FIG. 13

13/13

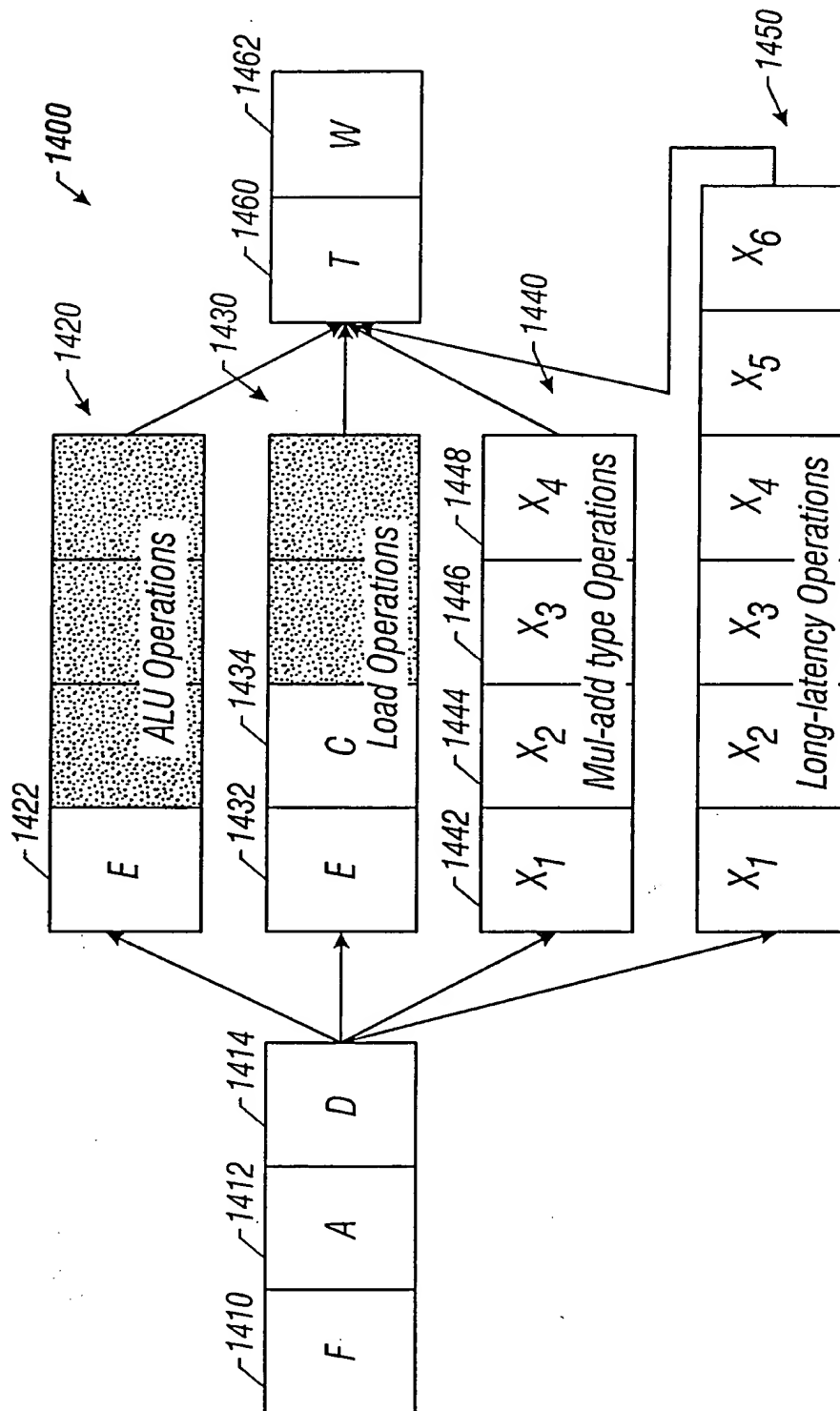


FIG. 14